FIŞA DISCIPLINEI

1. Date despre program

1.1 Instituția de învățământ superior	Universitatea Tehnică din Cluj-Napoca
1.2 Facultatea	Facultatea de Electronică, Telecomunicații şi Tehnologia Informației
1.3 Departamentul	Bazele Electronicii
1.4 Domeniul de studii	Inginerie electronică, telecomunicații și tehnologii informaționale
1.5 Ciclul de studii	Master
1.6 Programul de studii / Calificarea	Inteligență artificială și prelucrări de semnale în electronică și telecomunicații (în limba engleză) / Master
1.7 Forma de învățământ	IF – învățământ cu frecvență
1.8 Codul disciplinei	IAPSET-E 11.10

2. Date despre disciplină

2.1 Denumirea disciplinei	Arhitecturi reconfigurabile pentru procesare de semnale, imagini și inteligență artificială						
2.2 Aria de conținut	Arie teoretică Arie metodologică Arie de analiză						
2.3 Responsabil de curs	Conf.Dr.Ing. Albert Fazakas – Albert.Fazakas@bel.utcluj.ro						
2.4 Titularul activităţilor de seminar / laborator / proiect	Conf.Dr.Ing. Albert Fazakas – Albert.Fazakas@bel.utcluj.ro						
2.5 Anul de studiu	1	2.6 Semestrul	2	2.7 Tipul de evaluare	E	2.8 Regimul disciplinei	DS/DO

3. Timpul total estimat

3.1 Număr de ore pe săptămână	3	din care: 3.2 curs	2	3.3 seminar / laborator	1
3.4 Total ore din planul de învățământ	42	din care: 3.5 curs	28	3.6 seminar / laborator	14
Distribuția fondului de timp					ore
Studiul după manual, suport de curs, bibliografie și notițe					14
Documentare suplimentară în bibliotecă, pe platformele electronice de specialitate și pe teren					18
Pregătire seminarii / laboratoare, teme, referate, portofolii și eseuri					20
Tutorat					3
Examinări					3
Alte activități:					

3.7 Total ore studiu individual	58
3.8 Total ore pe semestru	100
3.9 Numărul de credite	4

4. Precondiţii (acolo unde este cazul)

4.1 de curriculum	Sisteme cu Circuite Digitale, Sisteme cu FPGA
4.2 de competente	Sisteme Digitale, Sisteme cu FPGA

5. Condiții (acolo unde este cazul)

5.1. de desfășurare a cursului	Cluj-Napoca, sală cu proiector sau platformă de lucru online
5.2. de desfășurare a seminarului / laboratorului / proiectului	Cluj-Napoca, sală cu rețea de calculatoare, software Vivado, sisteme de dezvoltare pe FPGA din Seria 7 și SoC din seria 7, dispozitive periferice uzuale

6. Competenţele specifice acumulate

Competenţe profesionale	C3. Aplicarea cunoștințelor, conceptelor și metodelor de bază privitoare la arhitectura sistemelor de calcul, microprocesoare, microcontrolere, limbaje și tehnici de programare • C3.3 Rezolvarea problemelor practice concrete care includ elemente de structuri de date, algoritmi, programare și utilizare de microprocesoare sau microcontrolere • C3.4 Elaborarea de programe într-un limbaj de programare general și/sau specific, pornind de la specificarea cerințelor și până la execuție, depanare și interpretarea rezultatelor în corelație cu procesorul utilizat • C3.5 Realizarea de proiecte care implică componente hardware (procesoare) și software (programare) C4. Proiectarea și utilizarea unor aplicații hardware și software de complexitate redusă specifice electronicii aplicate • C4.1 Definirea conceptelor, principiilor și metodelor folosite în domeniile: programarea calculatoarelor, limbaje de nivel înalt și specifice, tehnici CAD de realizare a modulelor electronice, microcontrolere, arhitectura sistemelor de calcul, sisteme electronice programabile, grafică, arhitecturi hardware reconfigurabile • C4.4 Utilizarea criteriilor de performanță adecvate pentru evaluarea, inclusiv prin simulare, a hardware-ului și software-ului unor sisteme dedicate sau a unor activități de servicii în care se folosesc microcontrolere sau sisteme de calcul de complexitate redusă sau medie • C4.5 Proiectarea de echipamente dedicate din domeniile electronicii aplicate, care folosesc: microcontrolere, circuite programabile sau sisteme de calcul cu arhitectură simplă, inclusiv a programelor aferente
Competenţe transversale	CT1. Analiza metodică a problemelor întâlnite în activitate, identificând elementele pentru care există soluții consacrate, asigurând astfel îndeplinirea sarcinilor profesionale CT3. Adaptarea la noile tehnologii, dezvoltarea profesională și personală, prin formare continuă folosind surse de documentare tipărite, software specializat și resurse electronice în limba română și, cel puțin, într-o limbă de circulație internațională

7. Obiectivele disciplinei (reieșind din grila competențelor specifice acumulate)

7.1 Obiectivul general al disciplinei	Dezvoltarea de competente in domeniul sistemelor digitale cu aplicații pe circuite digitale reconfigurabile
7.2 Obiectivele specifice	Asimilarea cunoștințelor teoretice arhitecturile sistemelor digitale reconfigurabile FPGA/SoC FPGA Obținerea deprinderilor pentru utilizarea instrumentelor hardware și software (CAD) specifice Asimilarea cunoștințelor despre mediile HSL și folosirea eficientă a acestora în crearea acceleratoarelor Hardware Dezvoltarea abilităților de testare, depanare și optimizare a proiectelor digitale Dezvoltarea proiectării sistematice și a metodologiilor care combină analiza, simularea și experimentele practice

8. Conţinuturi

8.1 Curs	Metode de predare	Observaţii
1. Introducere: Sistem de bază pe microprocesor Microblaze. Conectarea și accesul dispozitivelor periferice simple AXI-Lite.	Prezentarea, conversația euristică, exemplificarea, prezentarea de probleme, rezolvarea de exerciții, studiul de caz, demonstrația, problematizarea	Onsite: Se utilizează prezentări .pe videoproiector, tablă Online: Se utilizează platformă specifică online, prezentări prin intermediul ecranului partajat
2. Sistem de bază pe microprocesor ARM A9 pe dispozitivele SoC FPGA. Diferențe față de sistemele Miroblaze. Conectarea și accesul dispozitivelor periferice simple.		
3. Familia protocoalelor AMBA. Protocolul AXI4 Lite. Crearea unui dispozitiv periferic utilizator pe AXI4 Lite.		
4. Tipuri de magistrale pentru procesare de semnale. Crearea unui dispozitiv periferic AXI-Full.		
5. Sistemele de întreruperi în procesoarele Microblaze și ARM A9. Organizarea și configurarea întreruperilor.		
6. Magistrale de mare viteză: Dispozitiv periferic utilizator AXI-Stream și DMA: Tratarea întreruperilor DMA.		
7. Proiectarea acceleratoarelor hardware pentru procesare de date I: a) Folosind componente HDL b) Folosind componente descrise în HLS. Accesul prin software la acceleratoare.		
8. Proiectarea acceleratoarelor hardware pentru procesare de date II: c) Inserarea componentelor Model Composer (Matlab) într-un sistem pe microprocesor.		
9. Proiectare pentru platforme expandabile. Folosirea platformelor expandabile în mediul Vitis pentru inserarea acceleratoarelor hardware.		
10. Reconfigurarea parțială a dispozitivelor FPGA și SoC. Partiționarea în proiecte statice și dinamice.		
11. Exemplu de folosire a facilității AMD (Xilinx) Dynamic Function Exchange pentru proiecte parțial reconfigurabile. DFX utilizând logica FPGA și interfața JTAG		
12. Dynamic Function Exchange utilizând un sistem pe procesor ARM A9 și PCAP.		
13. Soluții pentru Embedded Linux. Mediul de proiectare Petalinux. Driver-ele UIO sub Linux.		
14. Integrarea acceleratoarelor hardware în sistemul de operare Linux. Maparea acceleratoarelor hardware în sistemul de operare.		

Bibliografie

1. Parimal Patel, Advanced Embedded System Design Flow on Zynq, https://github.com/xupgit/Advanced-Embedded-System-Design-Flow-on-Zynq , 2019
2. Albert Fazakas, “Sisteme Digital Reconfigurabile”, Prezentări PowerPoint, 2022
3. Louise Crockett, Ross Elliot, e.a,”The Zynq Book”, August 2015, www.zyqbook.com
4. Xilinx inc., „Artix-7 FPGAs Data Sheet: Overview”, DS180 (v2.6) February 27, 2018, www.xilinx.com

- Foi de catalog și Ghiduri ale Utilizatorilor pentru FPGA și SoC FPGA din Seria 7: **DS181, UG470..UG476**

5. Xilinx inc., „Zynq-7000 SoC Data Sheet: Overview", DS190 (v1.11.1) July 2, 2018, www.xilinx.com

8.2 Laborator	Metode de predare	Observaţii
1. Introducere: Sisteme de bază pe procesoarele Microblaze și ARM A9, cu dispozitive periferice simple.	Demonstrația si experimentul didactic, exercițiul didactic, lucrul în echipa	Se utilizează plăci de dezvoltare pe FPGA, aparatură de laborator, calculator cu software Vivado, videoproiector, tablă.
2. Monitorizarea protocoalelor AXI Lite. Exemplu pentru crearea unui dispozitiv periferic utilizator pe magistrala AXI Lite. Măsurarea vitezei de transfer.		
3. Exemplu pentru magistrală de mare viteză pentru procesarea datelor/semnalelor: Dispozitiv periferic utilizator AXI Stream. Exemplu de utilizare a Central DMA și a căilor MM2S, S2MM.		
4. Exemple de acceleratoare hardware pentru procesare de date, folosind implementări HDL și HLS. Inserarea acceleratorului în sistemul pe microprocesor și accesarea din software.		
5. Exemplu de folosire a unui accelerator hardware implementat cu Model Composer (Matlab).		
6. Exemple de proiecte cu reconfigurare parțială dinamică (DFx).		
7. Proiectarea cu instrumentele Petalinux. Configurarea mediului. Exemplu cu driver UIO.		

Bibliografie

1. Louis Luwei, High-Level-Synthesis-Flow-on-Zynq-using-Vivado-HLS", 2019, https://github.com/xupgit/High-Level-Synthesis-Flow-on-Zynq-using-Vivado-HLS
2. Albert Fazakas, "Sisteme Digitale Reconfigurabile", Prezentări PowerPoint, 2022
3. Xilinx inc., „Vivado Design Suite User Guide: Getting Started", UG910, https://www.xilinx.com/support/documentation/sw_manuals/xilinx2017_4/ug910-vivado-getting-started.pdf
4. Xilinx inc., „Vivado Design Suite User Guide: Using the Vivado IDE", UG893, https://www.xilinx.com/support/documentation/sw_manuals/xilinx2017_4/ug893-vivado-ide.pdf
5. Digilent inc., „Nexys4DDR User Manual", rev. C, April 11, 2016, https://reference.digilentinc.com/_media/nexys4-ddr:nexys4ddr_rm.pdf
6. Digilent inc., „Zybo Z7 Board Reference Manual", Revised February 21, 2018, https://reference.digilentinc.com/_media/reference/programmable-logic/zybo-z7/zybo-z7_rm.pdf

9. Coroborarea conţinuturilor disciplinei cu aşteptările reprezentanţilor comunităţii epistemice, asociaţiilor profesionale şi angajatorilor reprezentativi din domeniul aferent programului

Competentele dobândite vor fi folosite in următoarele ocupații conform COR (Clasificarea Ocupațiilor din România): Inginer emisie; Inginer electronist, transporturi, telecomunicații; Inginer imagine; Inginer sunet; Proiectant inginer electronist; Proiectant inginer de sisteme si calculatoare; Inginer șef car reportaj; Inginer șef schimb emisie; Inginer proiectant comunicații; Inginer sisteme de securitate; Inginer suport vânzări; Dezvoltator de aplicații multimedia; Inginer operare rețea; Inginer testare sisteme de comunicații; Manager proiect; Inginer de trafic; Consultant pentru sisteme comunicații.

10. Evaluare

Tip activitate	10.1 Criterii de evaluare	10.2 Metode de evaluare	10.3 Pondere din nota finală
10.4 Curs	Nivelul achiziției cunoștințelor teoretice si nivelul deprinderilor dobândite	C – Evaluare formativă continua (răspunsuri la întrebările de la curs) ES – Examen scris de evaluare sumativă (rezolvare de probleme)	C (max. 1 p) ES (max. 10 pct.), 30%
10.5 Seminar/Laborator	Verificarea deprinderilor şi abilităților dobândite în urma activităților de laborator	RL – 4 Referate de Laborator (care prezintă soluțiile la probleme practice de la laborator)	RL1, RL2, RL3, RL4 (max. 10p), 70%
10.6 Standard minim de performanță			

Nivel calitativ:

Cunoștințe minimale:

- ✓ Înțelegerea Arhitecturilor pe Sisteme de Procesoare, proiectate pentru dispozitive cu logică reconfigurabilă (FPGA și SoC FPGA); Optimizarea acestor sisteme, folosind instrumente CAD specifice.
- ✓ Crearea, inserarea și utilizarea acceleratoarelor pentru procesare de date într-un sistem de procesare reconfigurabil
- ✓ Verificarea și depanarea proiectelor

Competențe minimale:

- ✓ Să poată implementa un sistem simplu pe procesor Microblaze și/sau ARM A9; să poată accesa dispozitivele periferice simple ale acestuia
- ✓ Să poată crea un IP core utilizator pe AXI Lite, de a-l conecta la sistemul pe microprocesor, și de a accesa regiștrii acestuia din software.
- ✓ Să poată crea și insera un accelerator hardware într-un sistem reconfigurabil cu microprocesor
- ✓ Să poată monitoriza și depana sisteme pe microprocesoare implementate pe FPGA și SoC FPGA

Nivel cantitativ:

- ✓ Efectuarea tuturor lucrărilor de laborator
- ✓ Promovarea examenului și a referatelor de laborator, nota minimă: 5
- ✓ Nota la disciplină se calculează cu relația: 0.3*ES + 0,7*(RL1+RL2+RL3+RL4)/4) + C

Data completării: 25.06.2024	**Titulari**	**Titlu Prenume NUME**	**Semnătura**
	Curs	Conf. Dr. Ing. Fazakas Albert	
	Aplicații	Conf. Dr. Ing. Fazakas Albert	

Data avizării în Consiliul Departamentului Comunicatii 10.07.2024	Director Departament Comunicatii Prof.dr.ing. Virgil DOBROTA
Data aprobării în Consiliul Facultății ETTI 11.07.2024	Decan Prof.dr.ing. Ovidiu POP